

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-000753

(43)Date of publication of application : 06.01.1992

(51)Int.Cl.

H01L 27/04

(21)Application number : 02-102137

(71)Applicant : TOSHIBA MICRO ELECTRON KK  
TOSHIBA CORP

(22)Date of filing : 18.04.1990

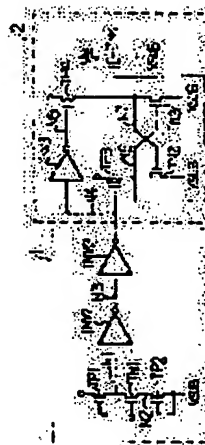
(72)Inventor : MURAKAMI SEIJI  
MIYAWAKI NAOKAZU

## (54) SEMICONDUCTOR CIRCUIT DEVICE

### (57)Abstract:

**PURPOSE:** To stabilize operation of a circuit against fluctuation of power supply by adjusting the impedance of a substrate by a method wherein a substrate voltage is detected and when it falls below a specified level a through path is formed between a substrate voltage terminal and a terminal of a voltage higher than the substrate voltage to raise the substrate voltage and the through path is cut off when the substrate voltage reaches the specified level.

**CONSTITUTION:** Voltage of a substrate VSUB is detected by a substrate voltage detection circuit 1 and when the substrate voltage falls below a specified level because of a fluctuation of power supply or other factors, a through path is formed between a substrate voltage terminal and a terminal of any other voltage higher than the substrate voltage by a substrate impedance adjustment circuit 2 to raise the substrate voltage rapidly until the substrate voltage reaches the specified level and a circuit operates stably. When the substrate voltage reaches the specified level, the substrate impedance adjustment circuit 2 cuts off the through path to reduce power consumption. In the case that the substrate impedance adjustment circuit 2 has a transistor for a through path and a controller, formation and cutoff of the through path are conducted according to the condition of the transistor for a through path, i.e., conduction or cutoff thereof.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報(A) 平4-753

⑤ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

④ 公開 平成4年(1992)1月6日

H 01 L 27/04

G

7514-4M

審査請求 未請求 請求項の数 4 (全7頁)

⑥ 発明の名称 半導体回路装置

② 特 願 平2-102137

② 出 願 平2(1990)4月18日

⑦ 発 明 者 村 上 清 治 神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内

⑦ 発 明 者 宮 脇 直 和 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

⑦ 出 願 人 東芝マイクロエレクトロニクス株式会社 神奈川県川崎市川崎区駅前本町25番地1

⑦ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑦ 代 理 人 弁 理 士 佐 藤 一 雄 外3名

## 明 細 書

## 1. 発明の名称

半導体回路装置

## 2. 特許請求の範囲

1. 基板バイアス発生回路が発生した基板バイアスを印加される基板のインピーダンスを調節する半導体回路装置において、

前記基板の基板電圧を検知する基板電圧検知回路と、

検知された前記基板電圧が所定レベルよりも低下すると、前記基板電圧を上昇させるべく、前記基板電圧端子とこの基板電圧よりも高い任意の電圧端子との間に貫通経路を形成し、前記基板電圧が所定のレベルに達すると前記貫通経路を遮断することによって前記基板のインピーダンスを調節する基板インピーダンス調節回路とを備えたことを特徴とする半導体回路装置。

2. 前記基板インピーダンス調節回路は、前

記基板電圧端子とこの基板電圧よりも高い任意の電圧端子との間にドレインとソースがそれぞれ接続された貫通経路用トランジスタと、この貫通経路用トランジスタの動作を制御する制御手段とを有し、

前記制御手段は、前記基板電圧検知回路が検知した前記基板電圧が所定のレベルよりも低下すると前記貫通経路用トランジスタを導通させ、この基板電圧が所定のレベルに達すると前記貫通経路用トランジスタを非導通状態にするものであることを特徴とする請求項1記載の半導体回路装置。

3. 前記基板電圧検知回路は、検知した前記基板電圧に応じたレベルの信号に変換する手段と、変換された前記信号を遅延させて出力する遅延手段とを有し、

前記基板インピーダンス調節回路は、基板電圧端子を共通とする一対のNチャネルトランジスタから成るフリップフロップと、前記基板電圧検知回路より出力された前記信号に基づいて前記フリップフロップの状態を変える一対のPチャネルト

ランジスタと、前記基板電圧端子とこの基板電圧よりも高い任意の電圧端子との間にドレインとソースが接続され、前記フリップフロップの出力をゲートに与えられて動作を制御される貫通経路用トランジスタとを備えたことを特徴とする請求項 1 記載の半導体回路装置。

4. 前記基板電圧検知回路は、前記基板電圧に対応したレベルの信号を前記基板バイアス発生回路に出力するバイアス制御用信号出力手段をさらに備えており、

前記基板インピーダンス調節回路は、前記貫通経路を形成する際の基板電圧の絶対値が、前記基板バイアス発生回路が基板バイアスを制御する際の制御設定電圧の絶対値よりも高く設定されていることを特徴とする請求項 1 記載の半導体回路装置。

4 1 より基板電圧  $V_{SUB}$  が出力される。

次に、このような回路により発生される基板電圧の特性を第 5 図に示す。電源電圧  $V_{cc}$  が通常の電圧  $V_{cc1}$  から電圧  $V_{cc2}$  に変化すると、基板電圧  $V_{SUB}$  は  $V_{SUB1}$  から  $V_{SUB2}$  へと負の方へ変化する。ここで、第 6 図に示すように電源電圧  $V_{cc}$  が  $V_{cc1}$  から  $V_{cc2}$  へ急激に変化すると、基板電圧  $V_{SUB}$  は電圧  $V_{SUB1}$  よりも低い電圧  $V_{SUBID}$  まで、一旦降圧される。そして、基板の容量を  $C$ 、基板のインピーダンスを  $R$  とした場合、時定数  $T = C \cdot R$  で表わされる時間  $T$  が経過した後、電圧  $V_{SUB2}$  まで復帰して安定する。

この場合に、基板電圧  $V_{SUB}$  の変化に対する基板電流  $I_{SUB}$  の関係、即ち基板バイアス発生回路の負荷特性は第 7 図のようであり、基板電圧が  $V_{SUBID}$  から  $V_{SUB2}$  へと変化するときは、基板には殆ど電流が流れない。このため、基板のインピーダンスは基板に形成された PN 接合等のリーク電流のみによって実質的に決定されるが、リーク電流の値は微小であるため、基板インピーダンス  $R$

### 3. 発明の詳細な説明

#### 〔発明の目的〕

#### （産業上の利用分野）

本発明は半導体回路装置に係わり、特に電源電圧の変動に対し基板インピーダンスを調節させる装置に関するものである。

#### （従来の技術）

半導体メモリ等において、外部信号のアンダershootにより寄生 pn 接合が順方向バイアスになることを防止したり、接合部の空乏層幅を広げて寄生容量を小さくし回路動作を高速化するために、半導体基板に基板バイアスを印加させることが行われている。第 4 図 (b) に示された回路は、基板バイアスを発生させる一般的なもので、第 4 図 (a) のようなパルス状入力信号をノード  $N40$  に入力されて動作する。N チャネルトランジスタ  $TR2$  が、半導体基板から電荷を汲み上げて容量  $C2$  に蓄積させ、N チャネルトランジスタ  $TR1$  が蓄積されたこの電荷を容量  $C1$  に蓄積させた後、接地電位  $V_{SS}$  に放電する。これにより、ノード  $N$

は極めて大きいものとなる。この基板インピーダンス  $R$  が大きいと、基板電圧が  $V_{SUBID}$  から  $V_{SUB2}$  まで復帰するのに要する時間  $T$  が長くなる。このことは、次のような問題を招く。

電源電圧の急激な低下に伴って基板電圧  $V_{SUB}$  が一旦低下した後上昇すると (第 8 図 (a))、同じ基板に形成された各トランジスタの閾値電圧  $V_{thn}$  は、第 8 図 (b) のように変動する。これは、第 9 図に示されたように、基板電圧  $V_{SUB}$  が負の方向へ低下すると、閾値電圧  $V_{thn}$  は上昇するというバックバイアス効果に基づくものである。よって基板上の各素子の動作が正常に動作し得る限界を示す限界電圧  $V_{cc-min}$  は、第 10 図のように閾値電圧  $V_{thn}$  に大きく依存する。このため第 8 図 (c) のように、閾値電圧  $V_{thn}$  の変動に伴い限界電圧  $V_{cc-min}$  も変動し、閾値電圧  $V_{thn}$  が安定すると共に安定する。

従って、電源電圧  $V_{cc}$  が変動した場合に、基板電圧  $V_{SUB}$  が変動して安定するまでに要する時間  $T$  が長いことは、基板に形成された各素子の動作

の不安定化を招くことになる。特に、記憶装置に保持したデータを電池でバックアップする場合に電源電圧が降下すると、データが保持されないという深刻な問題となっていた。

(発明が解決しようとする課題)

このように、従来は電源変動が生じると基板電圧が安定化するまでに要する時間が長く、基板に形成された回路動作の不安定化を招いていた。

本発明は上記事情に鑑みてなされたものであり、電源変動に対して動作の安定化をもたらし得る半導体回路装置を提供することを目的とする。

(発明の構成)

(課題を解決するための手段)

本発明は、基板バイアス発生回路が発生した基板バイアスを印加される基板のインピーダンスを調節する半導体回路装置であって、基板の基板電圧を検知する基板電圧検知回路と、検知された基板電圧が所定レベルよりも低下すると基板電圧を上昇させるべく基板電圧端子とこの基板電圧よりも高い任意の電圧端子との間に貫通経路を形成し、

れた信号に基づいてフリップフロップの状態を変える一対のPチャネルトランジスタと、基板電圧端子とこの基板電圧よりも高い任意の電圧端子との間にドレインとソースが接続されフリップフロップの出力をゲートに与えられて動作を制御される貫通経路用トランジスタとを備えたものであってもよい。

あるいは、基板電圧検知回路は基板電圧に対応したレベルの信号を基板バイアス発生回路に出力するバイアス制御用信号出力手段をさらに備えており、基板インピーダンス調節回路は貫通経路を形成する際の基板電圧の絶対値が基板バイアス発生回路がバイアスを制御する際の制御設定電圧の絶対値よりも高く設定されているものであってもよい。

(作 用)

基板電圧検知回路によって基板電圧が検知され、検知された基板電圧が電源変動等によって所定レベルよりも低下した場合に、基板インピーダンス調節回路により基板電圧端子とこの電圧よりも高

基板電圧が所定のレベルに達すると貫通経路を遮断することによって基板のインピーダンスを調節する基板インピーダンス調節回路とを備えたことを特徴としている。

ここで基板インピーダンス調節回路は、基板電圧端子とこの基板電圧よりも高い任意の電圧端子との間にドレインとソースが接続された貫通経路用トランジスタと、この貫通経路用トランジスタの動作を制御する制御手段とを有し、制御手段は基板電圧検知回路が検知した基板電圧が所定のレベルよりも低下すると貫通経路用トランジスタを導通させこの基板電圧が所定のレベルに達すると貫通経路用トランジスタを非導通状態にするものであってもよい。

また基板電圧検知回路は検知した基板電圧に応じたレベルの信号に変換する手段と、変換された信号を遅延させて出力する遅延手段とを有し、基板インピーダンス調節回路は基板電圧端子を共通とする一対のNチャネルトランジスタから成るフリップフロップと、基板電圧検知回路より出力さ

い任意の電圧端子との間に貫通経路が形成され、基板電圧が高速度で上昇する。これにより、基板電圧が所定のレベルに迅速に到達し、基板電圧の影響を受ける基板上の各素子の閾値電圧や動作限界電圧も同様に安定化するため、安定した動作がもたらされる。そして基板電圧が所定のレベルに到達すると、基板インピーダンス調節回路によって貫通経路が遮断され、消費電力が低減化される。

ここで基板インピーダンス調節回路が貫通経路用トランジスタと制御手段を有する場合は、基板電圧が所定のレベルよりも低下すると、制御手段によって貫通経路用トランジスタが導通して貫通経路が形成され、基板電圧が所定のレベルに到達した後、貫通経路用トランジスタが非導通状態となって貫通経路が遮断される。

基板電圧検知回路が変換手段と遅延手段を有する場合は、検知した基板電圧がそのレベルに応じた信号に変換され、ハンチングが起きるのを防止すべく遅延されて出力される。そしてこの信号が基板インピーダンス調節回路の一対のPチャネル

トランジスタに与えられ、このPチャネルトランジスタによって、フリップフロップが信号に応じた状態に変えられる。このフリップフロップの出力が貫通経路用トランジスタのゲートに与えられ、基板電圧のレベルに対応してその動作を制御され、貫通経路が形成又は遮断される。

基板電圧検知回路が、基板電圧に対応した信号を基板バイアス発生回路に出力するバイアス制御用信号出力手段をさらに備える場合は、この手段を共有化することによって高密度化を図ることができる。この場合に基板インピーダンスの調節は、基板電圧が電源変動等によって大きく降下した場合にのみ行うべきであるため、貫通経路を形成する際の基板電圧の絶対値は、基板バイアス発生回路が基板バイアスを制御する際における制御設定電圧の絶対値よりも大きく設定されている必要がある。

#### (実施例)

以下、本発明の一実施例について図面を参照して説明する。第1図に、本実施例の半導体回路装

置の回路構成を示す。本装置は、基板電圧  $V_{SUB}$  を検知する基板電圧検知回路1と、その出力に応じて基板インピーダンスを調節する基板インピーダンス調節回路2とを備えている。

基板電圧検知回路1は、ソースが電源電圧  $V_{cc}$  に接続され、ゲートが接地されドレインがノードN1に接続されたPチャネルトランジスタTP1と、ノードN1にドレインが、ノードN2にソースが接続され、ゲートに電源電圧  $V_{cc}$  が印加されたNチャネルトランジスタTN1と、ノードN2にソースが接続され、ゲートとドレインとが基板電圧  $V_{SUB}$  に共通接続されたNチャネルトランジスタTP2とを有し、さらにノードN1に入力端子を接続されたインバータINV1、及びこれに直列に接続されたインバータINV2とを有している。

インバータINV2からの出力は、基板インピーダンス調節回路2のノードN4に与えられる。ノードN4には、インバータINV3の入力端が接続され、その出力端にはPチャネルトランジ

スタTP4のゲートが接続されている。またノードN4には、PチャネルトランジスタTP3のゲートとが接続されている。そしてPチャネルトランジスタTP3のドレインにはNチャネルトランジスタTN2のドレインが、PチャネルトランジスタTP4のドレインにはNチャネルトランジスタTN3のドレインが接続されている。このNチャネルトランジスタTN2及びTN3は、ゲートがクロスカプル接続されており、それぞれのソースは基板電圧  $V_{SUB}$  端子に接続されている。NチャネルトランジスタTN2のドレインが接続されているノードN6には、NチャネルトランジスタTN4のゲートが接続されており、このドレインは接地端子に、ソースは基板電圧  $V_{SUB}$  端子に接続されている。

このような構成を有した本発明の半導体回路装置の動作について、各電圧波形を示した第2図を用いて説明する。基板電圧検知回路1のノードN1の電位  $V_{N1}$  は、PチャネルトランジスタTP1の抵抗と、NチャネルトランジスタTN1

及びPチャネルトランジスタTP2の抵抗の和との分圧比で決定される。基板電圧  $V_{SUB}$  が、電源変動により  $V_{SUB1}$  から  $V_{SUB1D}$  へ降下すると、第2図のようにノードN1の電位  $V_{N1}$  も下がる。基板電圧  $V_{SUB}$  が大きく降下すると、第2図の領域(ii)のように、電位  $V_{N1}$  はインバータINV1の閾値電圧  $V_{th1}$  よりも低くなり、出力端であるノードN3の電位  $V_{N3}$  はハイレベルとなる。このため、基板検知回路1の出力端であるノードN4の電位  $V_{N4}$  は、基板電圧  $V_{SUB}$  が大きく降下したことを示すロウレベルの信号が出力される。

ここでインバータINV1とINV2とで遅延回路を構成し、検知した基板電圧を示す信号を遅延させて出力することで、ハンチングの発生を防止している。

これにより、ノードN6はハイレベルの電位 $V_{cc}$ に、ノードN7はロウレベルの電位 $V_{SUB}$ になる。この結果、NチャネルトランジスタTN4がオンし、基板電圧 $V_{SUB}$ とこの電位よりも高い、ここでは接地電位 $V_{SS}$ との間で貫通経路が生じ、基板インピーダンスが低下する。これにより基板電圧 $V_{SUB}$ は、低下した後安定した電源電圧 $V_{cc2}$ に対応した電圧 $V_{SUB2}$ へ向けて急速に上昇する。

そして、基板電圧の上昇に伴って基板電圧検知回路1のノードN1の電位 $V_{N1}$ も上昇し、インバータINV1の閾値電圧 $V_{th1}$ を超えると(第2図の領域(i))、ノードN3の電位 $V_{N3}$ はロウレベルになり、インバータINV2の出力端であるノードN4からは、基板電圧が十分に上昇したことを示すハイレベルの信号が出力される。基板インピーダンス調節回路2にはこの信号を入力されてPチャネルトランジスタTP3はオフし、ノードN6はロウレベルの電位 $V_{cc}$ に、ノードN7はハイレベルの電位 $V_{cc}$ になり、NチャネルトランジスタTN4はオフ状態となる。これにより、

基板電圧 $V_{SUB}$ 端子と接地電位 $V_{SS}$ 端子との間の貫通経路が遮断されて基板インピーダンスは高くなり、電力の無駄な消費が防止される。

このように、基板電圧が電源変動により大きく降下した場合に、基板電圧とこの電圧よりも高い例えば接地電圧との間に貫通経路を形成することで、電源電圧に応じたしかるべきレベルまで高速度で復帰させることができるため、基板に形成された回路の動作が安定化される。そして、電源電圧が所定のレベルまで復帰した後は、貫通経路を遮断することによって、電力の消費量を低減させることができる。

ここで、基板電圧 $V_{SUB}$ 端子と接地電位 $V_{SS}$ 端子との間の貫通経路がオン・オフするタイミングは、基板電圧検知回路1のPチャネルトランジスタTP1の抵抗と、NチャネルトランジスタTN1及びPチャネルトランジスタTP2の抵抗の比率、あるいはインバータINV1の閾値電圧を変えることで、容易に制御することが可能である。

次に、他の実施例の回路構成を第3図に示す。

この実施例は、基板バイアス発生回路6が基板バイアスを制御するために必要な基板電圧検知手段を、基板電圧検知回路3の内部に共有させている点に特徴がある。この手段により基板バイアス発生回路6が出力した基板電圧が検知され、基板バイアス発生回路6はこの検知された基板電圧が所定レベルより下がると基板バイアスを生成する動作を停止する。そして基板電圧があるレベルまで上昇すると再び動作し、基板バイアスを発生させる。基板電圧検知回路3において、ゲートが接地され、ソースが電源電圧 $V_{cc}$ に接続されたPチャネルトランジスタTP11のドレインが接続されたノードTN11から、NチャネルトランジスタTN11、PチャネルトランジスタTP12及びNチャネルトランジスタTN12の抵抗との分圧比に応じた電圧 $V_{N11}$ レベルの信号が出力される。この信号が、ハンチング防止のため遅延回路4によって遅延された後、基板バイアス電圧発生回路6に入力されて、基板電圧が制御される。そしてPチャネルトランジスタTP11とNチャネルト

ランジスタTN11の抵抗と、NチャネルトランジスタTN12とPチャネルトランジスタTP12抵抗との分圧比に応じた電圧レベルの信号がノードN12から出力され、遅延回路5で遅延された後基板インピーダンス調節回路7に入力される。これにより、上述の実施例と同様に基板電圧 $V_{SUB}$ 端子と接地電位 $V_{SS}$ 端子との間の貫通経路のオン・オフが制御される。

この実施例においても、基板電圧が大きく降下すると基板電圧と接地電圧との間に貫通経路を形成し、所定レベルまで高速度に復帰させて回路動作を安定化させ、復帰後は貫通経路を遮断して電力の消費量を低減させる。また基板バイアスを検知して基板バイアス発生回路に出力する手段を共有することで、小型化を図ることができる。

ここで、基板バイアス発生回路6は、基板電圧が所定レベルの範囲内に収まるように常時基板バイアスの発生を制御するものであり、基板電圧が電源変動により大きく降下した場合にのみ動作すべき基板インピーダンス調節回路7とは、動作を

開始する制御設定電圧が異なる。この関係は、基板バイアス発生回路を制御する手段の制御設定電圧を  $V_B$  とし、基板インピーダンス調節回路の制御設定電圧を  $V_Z$  すると、 $|V_B| < |V_Z|$  とする必要がある。

上述した実施例はいずれも一例であって、本発明を限定するものではない。例えば基板電圧を検知する回路、及びその出力に基づいて基板インピーダンスを調節する回路の構成は第1図によるものと異なってもよく、基板電圧が低下した際に、基板電圧端子とこの電圧よりも高い電圧端子との間で貫通経路を形成し得るものであればよい。

(発明の効果)

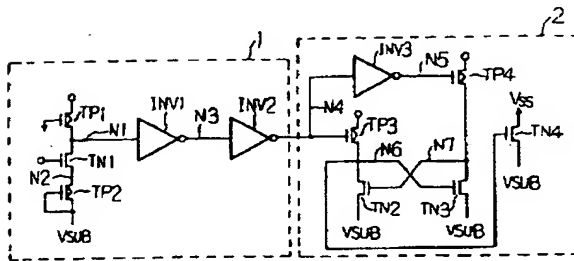
以上説明したように本発明によれば、基板電圧が電源変動等によって所定レベルよりも低下すると、基板電圧端子とこの電圧よりも高い任意の電圧端子との間に貫通経路が形成され、基板電圧が高速で上昇するため所定のレベルまで迅速に到達し、基板電圧の影響を受ける基板上の各素子は安定して動作することができる。そして基板電圧

が所定のレベルに到達すると、この貫通経路は遮断されて無駄な電力の消費が防止される。

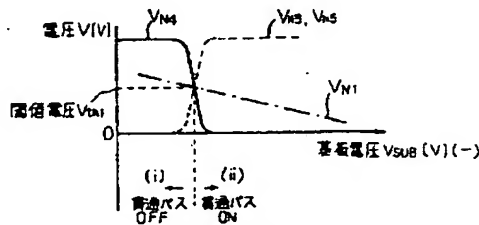
#### 4. 図面の簡単な説明

第1図は本発明の一実施例による半導体回路装置の構成を示した回路図、第2図は同装置の動作波形を示した説明図、第3図は本発明の他の実施例による半導体回路装置の構成を示した回路図、第4図は基板バイアス発生回路の構成を示した回路図、第5図は同回路の動作特性を示した説明図、第6図は電源電圧  $V_{CC}$  の変動に対する基板電圧  $V_{SUB}$  の変化を示した説明図、第7図は基板バイアス発生回路の負荷特性を示した説明図、第8図は基板電圧の変動が限界電圧  $V_{CC-min}$  に与える影響を示した説明図、第9図はバックバイアス効果を示した説明図、第10図は閾値電圧  $V_{thn}$  と限界電圧  $V_{CC-min}$  との関係を示した説明図である。

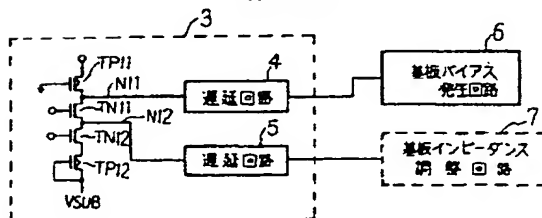
1, 3…基板電圧検知回路、2, 7…基板インピーダンス調節回路、4, 5…遅延回路、6…基板バイアス発生回路。



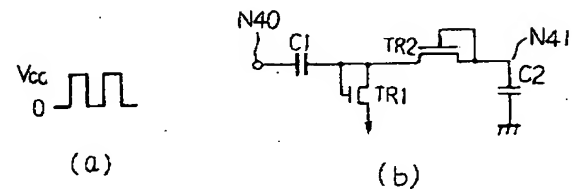
第1図



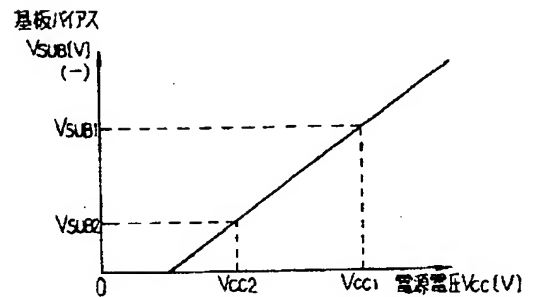
第2図



第3図

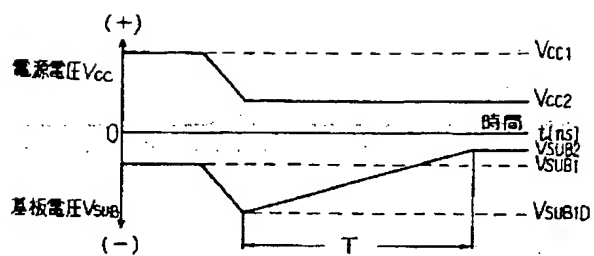


第4図

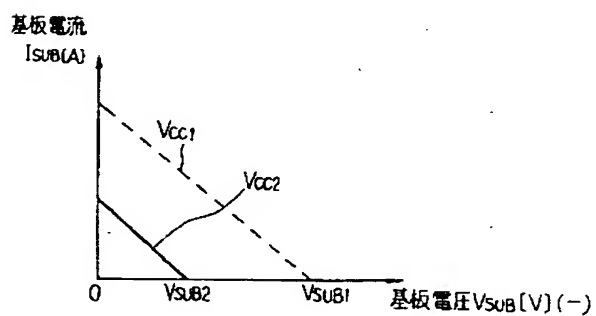


第5図

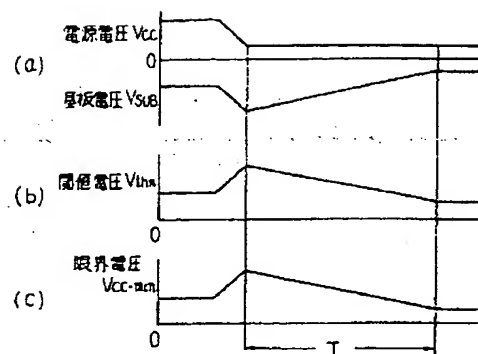




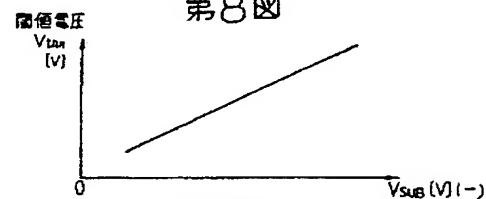
第6図



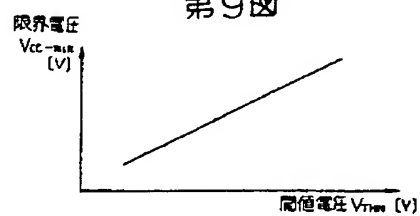
第7図



第8図



第9図



第10図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**